

Docket No.: 2336-262

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Nam Ig KANG :
U.S. Patent Application No. *unassigned* : Group Art Unit: *unassigned*
Filed: *filed herewith* : Examiner: *unassigned*
For: LAMINATED CERAMIC COUPLER

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

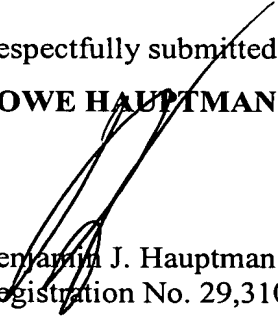
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims, in the present application, the priority of Republic of Korea Patent Application No. 2003-66204, filed September 24, 2003. The certified copy is submitted herewith.

Respectfully submitted,

LOWE HAUPTMAN GILMAN & BERNER, LLP


Benjamin J. Hauptman
Registration No. 29,310

1700 Diagonal Road, Suite 310
Alexandria, Virginia 22314
(703) 684-1111 BJH/ayh
Facsimile: (703) 518-5499
Date: April 14, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0066204
Application Number

출원 년 월 일 : 2003년 09월 24일
Date of Application SEP 24, 2003

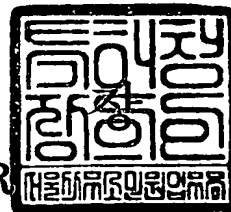
출원인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 10 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.09.24
【국제특허분류】	H01P 5/18
【발명의 명칭】	적층형 세라믹 커플러
【발명의 영문명칭】	Laminated ceramic coupler
【출원인】	
【명칭】	삼성전기 주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	특허법인씨엔에스
【대리인코드】	9-2003-100065-1
【지정된변리사】	손원 , 함상준
【포괄위임등록번호】	2003-045784-9
【발명자】	
【성명의 국문표기】	강남익
【성명의 영문표기】	KANG,Nam Ig
【주민등록번호】	681126-1537931
【우편번호】	442-707
【주소】	경기도 수원시 팔달구 망포동 벽산아파트 113동 704호
【국적】	KR
【발명자】	
【성명의 국문표기】	김철호
【성명의 영문표기】	KIM,Chul Ho
【주민등록번호】	611012-1249411
【우편번호】	449-905
【주소】	경기도 용인시 기흥읍 상갈리 금화마을 현대대우아파트 112-1003
【국적】	KR

【발명자】

【성명의 국문표기】 오경백
【성명의 영문표기】 OH,Kyung Beek
【주민등록번호】 621201-1772525
【우편번호】 441-390
【주소】 경기도 수원시 권선구 권선동 권선3지구 주공3단지 335-1503호
【국적】 KR

【발명자】

【성명의 국문표기】 이희곤
【성명의 영문표기】 LEE,Hee Kon
【주민등록번호】 750801-1661621
【우편번호】 442-813
【주소】 경기도 수원시 팔달구 영통동 992-3번지 204호
【국적】 KR

【발명자】

【성명의 국문표기】 김영득
【성명의 영문표기】 KIM,Young Deg
【주민등록번호】 690515-1106420
【우편번호】 442-370
【주소】 경기도 수원시 팔달구 매탄동 매탄주공 그린빌 201동 701호
【국적】 KR

【발명자】

【성명의 국문표기】 김동섭
【성명의 영문표기】 KIM,Dong Sub
【주민등록번호】 640822-1459918
【우편번호】 442-370
【주소】 경기도 수원시 팔달구 매탄동 주공그린빌 202-1003호
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
특허법인씨엔에스 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	1	면	1,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	7	항	333,000	원
【합계】	363,000		원	
【첨부서류】	1. 요약서·명세서(도면)_1통			



【요약서】

【요약】

본 발명은 복수 포트의 본딩용 전극부를 적층형성된 전송라인의 길이방향과 평행한 동일면에 형성하여 표면실장이 용이하면서, 제조 공정이 간단하고 소형화 및 고기능화에 유리한 적층형 세라믹 커플러에 관한 것으로서, 본 발명에 의한 적층형 세라믹 커플러는 서로 평행하게 배치된 두 개의 도전성 패턴이 인쇄된 다수의 세라믹시트를 적층하고, 비아홀을 통해 상하부의 대응하는 도전성 패턴을 각각 전기적으로 연결하여, 소정 길이의 제1,2전송라인이 내부에 형성된 세라믹 블록; 상기 세라믹블록의 내부에 적층형성된 도전성패턴의 길이 방향과 수직한 하나 이상의 면의 상부에서 하부까지 관통하며, 상기 세라믹 블록 내부의 제1,2전송라인의 양측 끝단이 노출되는 깊이를 갖는 제1~제4 오목홈; 및 각각 상기 제1~4오목홈 내에 형성되며 노출된 제1,2전송라인의 양측 끝단에 각각 연결되는 제1전극부와, 상기 도전성패턴의 길이방향과 평행한 일 면상에 각각 대응하는 제1전극 패턴과 연결되도록 형성된 제2전극부로 이루어지는 제1~4포트로 이루어진다.

【대표도】

도 4

【색인어】

커플러, 세라믹, 적층, 오목홈, 전송라인



【명세서】

【발명의 명칭】

적층형 세라믹 커플러 {Laminated ceramic coupler}

【도면의 간단한 설명】

도 1은 커플러의 등가회로도이다.

도 2는 종래의 적층형 세라믹 커플러의 분해사시도이다.

도 3은 본 발명에 의한 적층형 세라믹 커플러의 정면 및 후면도이다.

도 4는 본 발명에 의한 적층형 세라믹 커플러의 분해사시도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

30 : 세라믹 블록

31a~31d : 제1 ~ 제4 오목홈

32 ~ 35 : 제1 ~ 제4 포트

321, 331, 341, 351 : 제1전극부

322, 332, 342, 352 : 제2전극부

41, 42, 43, 44, 45 : 세라믹시트

421, 422, 431, 432, 441, 442 : 도전성패턴

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13> 본 발명은 신호의 분배 또는 합성에 사용되는 적층형 세라믹 커플러에 관한 것으로서, 보다 상세하게는 복수의 외부단자를 동일 면상에 형성하여 표면실장이 용이하면서, 제조 공정이 간단하고 소형화 및 고기능화에 유리한 적층형 세라믹 커플러에 관한 것이다.
- <14> 일반적으로, 커플러는 이동통신 단말기, 중계기, 무선기 및 위성방송 시스템과 같은 고주파 통신회로 등에 신호 전력의 측정과 신호전력의 분배 및 합성 등의 용도로 사용되는 소자로서, 그 등가회로도도 도 1에 도시된 바와 같다.
- <15> 즉, 도 1에 도시된 바와 같이, 커플러는 4 개의 입출력 포트(T1~T4)와, 상기 4개의 입출력 포트(T1~T4) 중에서 두 입출력 포트(T1,T2)를 연결하는 제1전송라인(L1)과, 나머지 2개의 입출력포트(T3,T4)를 연결하며 상기 제1전송라인(L1)과 신호간의 전자결합이 이루어지는 제2전송라인(L2)으로 이루어진다.
- <16> 이러한 커플러는 도파관이나 PCB 표면에 마이크로스트립라인을 상기 도 1과 같은 형태로 형성하는 것을 통하여 구현되었다. 그러나, 이러한 기존의 커플러는 고정도의 기계적 가공성 및 에칭공정 등에 의해서 제작되는데, 목적하는 성능의 소자를 제작하기 위해서는 높은 기계적



가공도와 작업 숙련도가 요구되어, 대량생산이 곤란하고, 제품의 사이즈, 중량 및 제조 비용이 증가하는 단점이 있다.

<17> 이러한 문제점을 해결하고자 세라믹을 이용하여 소형화에 유리한 적층 구조의 고주파 커플러가 제안되었다.

<18> 도 2는 종래의 고주파 커플러를 도시한 분해사시도로서, 상기에서 시트(11,12,13)는 각각 PCB기판의 재료나 세라믹 재료와 같은 절연재로 이루어진 것으로서, 순서대로 적층 된다. 이때, 상기 가운데 부분에 적층 되는 시트(12)의 상면에는 신호전력이 통과하는 제1,2전송라인(14,15)이 형성된다. 상기 제1,2전송라인(14,15)은 고주파에서 높은 Q값을 유지하기 위해서 낮은 저항특성을 지닌 Ag, Cu 등의 도전성 재료를 상기 도 2에 도시된 패턴형태로 인쇄하여 만들어지며, 상기 제1,2전송라인(14,15)의 양끝은 각각 시트(12)의 모서리까지 연장되어 형성되며, 상기 적층된 시트(11,12,13)의 측면에 형성된 4개의 입출력포트(16~19)와 연결된다. 상기 4개의 입출력용 포트(16,19)는 상기 적층된 시트(11,12,13)의 측면에 도전성재료를 소정 패턴으로 도포 함으로서 이루어진다.

<19> 여기에 도시하지는 않았지만, 상기 제1,2전송라인(14,15)에 대한 외부의 전자기 신호를 차단하기 위해 상기 제1,2전송라인(14,15)이 형성된 시트(12)의 상하부에 접지전극이 인쇄된 시트를 더 포함시킬 수 있다.

- <20> 이러한 종래의 커플러는, 제1포트(16)에 신호전력이 입력되면, 이 신호전력은 제2전송라인(15)을 통해 제2포트(17)로 전달되는데, 이때, 접지전극 및/또는 제1전송라인(14)등에서 생성되는 용량성분과 상기 전송라인들상에 존재하는 R, L, C 성분에 의하여 전자기적인 결합이 일어나고, 그 결과, 제1전송라인(14)과 제2전송라인(15) 사이에 커플링이 형성되어, 제2전송라인(15)에 연결된 제3포트(18) 및/또는 제4포트(19)에는 신호전력의 수분의 1 전력이 나타난다.
- <21> 이때, 상기 커플러를 형성하는 제1,2전송라인(14,15)의 길이는 설정된 고주파신호의 파장(λ)에 대하여 $1/4$ 이 되어야 한다.
- <22> 이와 같이 구성된 종래의 고주파 커플러는 제1,2전송라인(14,15)이 하나의 동일 평면상에 형성되기 때문에, 고주파 영역에 사용하는 경우 소자의 사이즈가 증가하게 된다는 문제점이 있다. 이를 해결하고자, 상기 제1,2전송라인(14,15)을 다층으로 형성한 적층형 세라믹 커플러가 제안되었다.
- <23> 그러나, 상기한 종래의 커플러나 적층형 세라믹 커플러 모두, 내부 전송라인이 형성되는 면과 수직한 측면에 신호의 입출력용 포트(16~19)들이 형성되어 내부의 전송라인과 전기적으로 연결되는 구조이기 때문에, 표면실장시 기판의 회로와 상기 측면의 포트(16~19)간의 전기적 연결에 불량 발생할 수 있으며, 또한, 외부의 포트가 형성되기 전에, 최종 열처리가 실시되며, 측면의 외부단자와 연결되는 내부 전송라인의 패턴이 외부에 노출되도록 하기 위하여, 적층, 가압, 소결 공정 후에, 측면에 대한 연마작업이 이루어져야 한다는 번거로움이 있다.



<24> 더불어, 종래의 커플러는 소결공정후에 인쇄방식이나 쓰루-필(Thru-fill)방식에 의하여 외부의 포트를 형성하기 것으로서, 이러한 측면의 외부단자(23)를 형성하기 위한 공간 확보가 필요하고, 향후 제품의 크기가 더 감소될 경우 단자간의 전기적인 쇼트불량을 방지하기 위해서, 최소한의 단자간 거리를 확보하면서 외부단자의 크기를 확보하는데 어려움이 발생할 수 있다. 특히, 상기 포트들이 소자의 표면 형상대로 구현되기 때문에, 제품간에 균일성을 확보하기 어렵다.

<25> 또한, 종래와 같이 포트전극이 내부 전송라인의 전극과 수직한 측면에 형성되는 경우, 커플러 소자가 실장되는 방향에 따라서, 상기 전송라인과 실장 기판의 랜드패턴간의 상대적 위치가 변하게 되므로, 소량의 인덕턴스 변화가 발생되는데, 이러한 인덕턴스 변화는 GHz 대의 고주파용인 경우 특성 변화를 유발시킬 수 있다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명은 상술한 종래의 문제점을 해결하기 위하여 제안된 것으로서, 그 목적은 복수의 포트 전극을 전송라인 패턴과 평행한 동일 면상에 형성하여 표면실장이 용이하면서, 제조 공정이 간단하고 소형화 및 고기능화에 유리한 적층형 세라믹 커플러를 제공하는 것이다.

【발명의 구성 및 작용】

<27> 상술한 목적을 달성하기 위한 구성수단으로서, 본 발명에 의한 적층형 세라믹 커플러는

- <28> 서로 평행하게 배치된 두 개의 도전성 패턴이 인쇄된 다수의 세라믹시트를 적층하고, 비아홀을 통해 상하부의 대응하는 도전성 패턴을 각각 전기적으로 연결하여, 소정 길이의 제1,2전송라인이 내부에 형성된 세라믹 블록;
- <29> 상기 세라믹블록의 내부에 적층형성된 도전성패턴의 길이 방향과 수직한 하나 이상의 면의 상부에서 하부까지 관통하며, 상기 세라믹 블록 내부의 제1,2전송라인의 양측 끝단이 노출되는 깊이를 갖는 제1~제4 오목홈; 및
- <30> 각각 상기 제1~4오목홈 내에 형성되며 노출된 제1,2전송라인의 양측 끝단에 각각 연결되는 제1전극부과, 상기 도전성패턴의 길이방향과 평행한 일면 상에 각각 대응하는 제1전극 패턴과 연결되도록 형성된 제2전극부로 이루어지는 제1~4포트로 이루어지는 것을 특징으로 한다.
- <31> 또한, 본 발명에 의한 적층형 세라믹 커플러에 있어서, 상기 세라믹 블록은 상부 커버용 제1세라믹시트; 상기 제1세라믹시트의 하부에 위치하고, 그 상면에 일단이 각각 제1,2포트의 제1전극부에 각각 연결되며 서로 대략 평행하도록 제1,2도전성패턴이 형성되고, 상기 제1,2도전성 패턴의 타단을 하부의 세라믹 시트와 전기적으로 연결시키는 비아홀이 형성된 제2세라믹시트; 상기 제2세라믹시트의 하부에 순차적으로 위치하고, 각각 그 상부에 위치한 세라믹시트의 비아홀을 통해 상부의 도전성패턴에 일측단이 전기적으로 연결되고 상호 평행하도록 제3,4도전성패턴이 형성되고, 상기 제3,4도전성패턴의 타단을 하부의 세라믹시트와 전기적으로 연결시키는 비아홀이 형성된 다수의 제3세라믹시트; 상기 복수의 제3세라믹시트의 하부에 위치하고, 그 상부에 인접한 세라믹시트의 비아홀을 통해 상부의 제3,4도전성패턴과 상기 제3,4포트의 제1전극부에 각각 양단이 전기적으로 연결되고 상호 대략적으로 평행하도록 5,6도전성패턴이 형성된 제4세라믹시트; 및, 상기 제4세라믹시트의 하부에 위치하고, 그 하면에 상호

절연된 상기 제1 내지 제4 포트의 제2전극부가 형성된 제5세라믹시트를 순서대로 적층하여 이루어지고, 상기 제1,3,5도전성패턴들이 상호 전기적으로 연결되어 제1전송라인을 형성하고, 상기 제2,4,6도전성패턴이 상호 전기적으로 연결되어 제2전송라인을 형성하는 것을 특징으로 한다.

<32> 또한, 본 발명에 의한 적층형 세라믹 커플러에 있어서, 상기 제1 내지 제4 오목홈은 단면이 사각형인 육각기둥 형상인 것을 특징으로 한다.

<33> 또한, 본 발명에 의한 적층형 세라믹 커플러에 있어서, 상기 제1 내지 제4 오목홈은 단면이 반원인 반원기둥 형상인 것을 특징으로 한다.

<34> 또한, 본 발명에 의한 적층형 세라믹 커플러에 있어서, 상기 제1 내지 제4오목홈과 제1 내지 제4포트의 제1전극부들은 상기 세라믹블록을 형성하는 다수 세라믹시트의 설정된 다수 위치에 각각 오목홈을 형성하고, 상기 오목홈에 도전성 물질을 충전시킨 후, 다수 세라믹시트를 적층하여 이루어질 수 있으며, 또한, 상기 제1 내지 제4오목홈과 제1 내지 제4 포트의 제1전극부는 다수의 세라믹시트를 적층하여 세라믹블록을 형성한 후, 상기 세라믹블록의 하나 이상의 면에 제1 내지 제4 오목홈을 동시에 가공하고, 상기 제1 내지 제4 오목홈에 도전성 물질을 충전시켜 형성할 수 도 있다.

- <35> 또한, 본 발명에 의한 적층형 세라믹 커플러에 있어서, 상기 제1~제6 도전성패턴은 1턴 이상 회전하는 나선형으로 이루어지는 것을 특징으로 한다.
- <36> 이하, 첨부한 도면을 참조하여 본 발명에 따른 적층형 세라믹 커플러의 구성 및 작용에 대하여 설명한다.
- <37> 도 3은 본 발명의 일실시예에 의한 적층형 세라믹 커플러의 정면사시도 및 후면 사시도이고, 도 4는 본 발명의 일실시예에 의한 적층형 세라믹 커플러의 분해 사시도이다.
- <38> 상기 도 4를 참조하면, 본 발명의 적층형 세라믹 커플러는 서로 평행하게 배치된 두 개의 도전성 패턴이 인쇄된 다수의 세라믹시트를 적층하고, 비아홀을 통해 상하부의 대응하는 도전성 패턴을 각각 전기적으로 연결하여, 설정된 길이의 도 1에 보인 제1,2전송라인(L1,L2)이 내부에 형성된 세라믹 블록(30)과, 상기 세라믹블록(30)의 내부에 적층형성되는 도전성패턴의 길이 방향과 수직한 하나 이상의 면(D,E)의 상부에서 하부까지 관통하며, 상기 세라믹 블록(30)의 내부에 형성된 제1,2전송라인의 양측 끝단이 노출되는 깊이로 형성된 제1~제4 오목홈(31a~31d)과, 각각 상기 제1~4오목홈(31a~31d)의 내부 면에 형성되며 노출된 제1,2전송라인의 양측 끝단에 각각 연결되는 제1전극부(331~351)와 상기 세라믹내부에 적층된 도전성패턴의 길이방향과 평행한 동일면상에 각각 대응하는 제1전극부(331~351)와 연결되도록 형성된 제2전극부(332~352)로 이루어지는 제1~4포트(33~35)로 구성된다.

<39> 상기 도 3에 도시한 세라믹블록(30)은 도 4에 도시된 바와 같이, 상부 커버용 제1세라믹 시트(41)와, 상기 제1세라믹시트(41)의 하부에 위치하고, 그 상면에 일단이 각각 제1,2포트(33~35)의 제1전극부(331~351)에 각각 연결되며 서로 대략 평행하도록 제1,2도전성패턴(421,422)이 형성되고, 상기 제1,2도전성패턴(421,422)의 각 타단에 비아홀(423)이 형성된 제2세라믹시트(42)와, 상기 제2세라믹시트(42)의 하부에 순차적으로 위치하고, 각각 그 상부에 위치한 세라믹시트의 비아홀을 통해 상부의 도전성패턴에 일측단이 전기적으로 연결되고 상호 평행하도록 제3,4도전성패턴(431,432)이 형성되고, 상기 제3,4도전성패턴(431,432)의 타단에 비아홀(433)이 각각 형성된 복수의 제3세라믹시트(43)와, 상기 복수의 제3세라믹시트(43)의 하부에 위치하고, 그 상부에 인접한 제3세라믹시트(43)의 비아홀을 통해 상부의 제3,4도전성패턴(431,432)과 일단이 연결되고 상기 제3,4포트(34,35)의 제1전극부(341,351)에 그 타단이 각각 전기적으로 연결되며 상호 대략적으로 평행하도록 제5,6도전성패턴(441,442)이 형성된 제4세라믹시트(44)와, 상기 제4세라믹시트(44)의 하부에 위치하고, 그 하면에 상호 절연된 상기 제1 내지 제4 포트(32~35)의 제2전극부(322~352)가 형성된 제5세라믹시트(45)를 순서대로 적층하여 이루어진 것으로, 그 결과, 상기의 제1,3,5도전성패턴(421,431,441)들이 상호 전기적으로 연결되어 제1전송라인(L1)을 형성하고, 상기 제2,4,6도전성패턴(422,432,442)이 상호 전기적으로 연결되어 제2전송라인(L2)을 형성한다.

<40> 상기에서, 제1 내지 제6 도전성 패턴(421,422 ~ 441,442)을 1턴 이상 회전하는 나선형으로 형성함으로서, 동일 설계면적에서 보다 긴 전송라인을 구현할 수 있게 된다. 그 결과, 종래에 비하여 보다 적은 칩 사이즈의 증가로 목적하는 고주파용의 커플러를 구현할 수 있게 된다.



- <41> 상기 제1 내지 제4 오목홈(31a~31d)은 세라믹블록(30)의 내부에 적층되는 도전성 패턴들(421,422~441,442)의 길이방향과 수직한 일면 혹은 두면 이상을 기계적으로 편칭하여 형성될 수 있다. 상기 도 3 및 도 4에 보인 실시예에 있어서는, 서로 대향하는 두 면에 분리하여 형성한다.
- <42> 여기서, 상기 제1 내지 제4 오목홈(31a~31d)은 다양한 기하학적인 형상, 예를 들면, 사각기둥 또는 반원기둥형상으로 형성될 수 있다. 단지, 상기 제1 내지 제4오목홈(31a~31d)의 깊이는 내부에 형성된 도전성패턴의 일부가 노출될 수 있을 정도로 설정된다. 이와 같이 형성된 제1 내지 제4오목홈(31a~31d)의 패인 면에는 도전성 물질이 도포되어 제1 내지 제4포트(32~35)의 제1전극부(321~351)들이 형성되어, 세라믹블록(30) 내부의 도전성패턴의 소정 부분과 상기 제1 내지 제4포트(32~35)가 전기적으로 연결된다.
- <43> 그리고, 상기 제1 내지 제4포트(32~35)는 세라믹블록(30)의 내부 도전성패턴(421,422,431,432,441,442)의 길이방향과 수직한 측면에 형성된 제1전극부(321~351)와, 상기 내부 도전성패턴(421,422,431,432,441,442)의 길이방향과 평행한 동일 면(F)에 상기 제1전극부(321~351)와 각각 연결되도록 형성된 제2전극부(322~352)로 이루어진다. 이때, 상기 제2전극부(322~352)들이 표면실장시 본딩패드로 이용된다. 따라서, 상기 제2전극부(322~352)가 형성된 면이 표면실장시 하부가 되므로, 상기 면(F)을 편의상 하부 면이라 부른다.

- <44> 상기에서, 제1 내지 제4오목홈(31a~31d) 및 제1 내지 제4포트(32~35) 각각의 제1전극부(321~351)는 다음의 두 가지 방식으로 형성될 수 있다.
- <45> 첫 번째로, 상기 세라믹블록(30)을 구성하는 다수의 세라믹시트(41~45)의 동일 부위에 동일한 형태로 기하학적인 기계가공을 실시한 후, 시트(41~45)상에 형성된 비아홀의 전극 충전 공정시 상기의 기하학적인 가공 면에도 동시에 도전성 물질을 충전시킨 후, 적층 공정을 진행시킨다. 그 결과, 3차원 구조의 상기 오목홈(31a~31d)과 복수의 제1전극부(321~351)가 동시에 형성된다.
- <46> 두 번째로, 다수 세라믹시트의 적층 공정을 실시한 세라믹블록(20)의 설정된 측면의 상부에 하부까지 관통하도록 기하학적인 기계가공을 실시하여, 도 3에 도시된 바와 같이 소정 면의 상부에서 하부까지 관통시켜 오목홈(31a~31d)을 형성하고, 상기 오목홈(31a~31d)의 패인면에 도전성 물질을 충전시켜 제1 내지 제4 포트(32~35)의 제1전극부(321, 331, 341, 351)를 형성한다.
- <47> 상기에서 제1전극부(321, 331, 341, 351)는 세라믹블록(30)의 내부에 적층형성된 제1,2 전송라인(L1,L2)의 양단을 각각 대응하는 제1 내지 제4포트(32~35)와 전기적으로 연결시키기 위한 것으로서, 그 폭은 가공 가능한 최소한의 크기를 갖아도 되며, 되도록 작은 사이즈로 형성하는 것이 바람직하다. 왜냐하면, 외부에 형성된 제1 내지 제4포트(32~35)의 전극면적에 비

레하여 기생캐패시턴스가 발생되므로, 기생캐패시턴스를 줄이기 위해서는 전극의 면적이 작은 것이 바람직하기 때문이다.

<48> 이상 설명한 구조를 갖는 적층형 세라믹 커패시터의 경우, 본딩용 전극패드가 칩의 동일면에 모두 형성되므로, 표면실장시 기판과 평행한 본딩부를 가질 수 있으며, 특별한 표시가 없더라도 적층형 세라믹 커패시터가 항상 일정한 방향으로 실장될 수 있어, 실장 방향에 따른 특성 변화가 방지될 수 있다.

【발명의 효과】

<49> 상술한 바와 같이, 본 발명은 칩 커패시터의 내부 전송라인 패턴의 길이방향과 평행한 일면에 다수의 포트 전극이 형성됨으로서, 표면실장이 용이하면서 본딩 불량 발생이 감소될 수 있으며, 또한 별도의 표시가 없어도 내부 전송라인 패턴과 랜드패턴간의 거리가 항상 일정하도록 실장할 수 있으며, 더불어, 동일 사이즈 상에 형성가능한 전송라인의 길이가 길어져, 고주파용 칩 커패시터를 더 소형화시킬 수 있는 우수한 효과가 있다.

**【특허청구범위】****【청구항 1】**

서로 평행하게 배치된 두 개의 도전성 패턴이 인쇄된 다수의 세라믹시트를 적층하고, 비아홀을 통해 상하부의 대응하는 도전성 패턴을 각각 전기적으로 연결하여, 소정 길이의 제1,2 전송라인이 내부에 형성된 세라믹 블록;

상기 세라믹블록의 내부에 적층형성된 도전성패턴의 길이 방향과 수직한 하나 이상의 면의 상부에서 하부까지 관통하며, 상기 세라믹 블록 내부의 제1,2전송라인의 양측 끝단이 노출되는 깊이를 갖는 제1~제4 오목홈; 및

각각 상기 제1~4오목홈 내에 형성되며 노출된 제1,2전송라인의 양측 끝단에 각각 연결되는 제1전극부과, 상기 도전성패턴의 길이방향과 평행한 일면 상에 각각 대응하는 제1전극 패턴과 연결되도록 형성된 제2전극부로 이루어지는 제1~4포트

로 이루어지는 것을 특징으로 하는 적층형 세라믹 커플러.

【청구항 2】

제 1 항에 있어서, 상기 세라믹 블록은

상부 커버용 제1세라믹시트;

상기 제1세라믹시트의 하부에 위치하고, 그 상면에 일단이 각각 제1,2포트의 제1전극부에 각각 연결되며 서로 대략 평행하도록 제1,2도전성패턴이 형성되고, 상기 제1,2도전성 패턴의 타단을 하부의 세라믹 시트와 전기적으로 연결시키는 비아홀이 형성된 제2세라믹시트;



상기 제2세라믹시트의 하부에 순차적으로 위치하고, 각각 그 상부에 위치한 세라믹시트의 비아홀을 통해 상부의 도전성패턴에 일측단이 전기적으로 연결되고 상호 평행하도록 제3,4도전성패턴이 형성되고, 상기 제3,4도전성패턴의 타단을 하부의 세라믹시트와 전기적으로 연결시키는 비아홀이 형성된 다수의 제3세라믹시트;

상기 복수의 제3세라믹시트의 하부에 위치하고, 그 상부에 인접한 세라믹시트의 비아홀을 통해 상부의 제3,4도전성패턴과 상기 제3,4포트의 제1전극부에 각각 양단이 전기적으로 연결되고 상호 대략적으로 평행하도록 5,6도전성패턴이 형성된 제4세라믹시트; 및

상기 제4세라믹시트의 하부에 위치하고, 그 하면에 상호 절연된 상기 제1 내지 제4 포트의 제2전극부가 형성된 제5세라믹시트

를 순서대로 적층하여 이루어지고, 상기 제1,3,5도전성패턴들이 상호 전기적으로 연결되어 제1전송라인을 형성하고, 상기 제2,4,6도전성패턴이 상호 전기적으로 연결되어 제2전송라인을 형성하는 것을 특징으로 하는 적층형 세라믹 커플러.

【청구항 3】

제 1 항에 있어서,

상기 제1 내지 제4 오목홈은 단면이 사각형인 육각기둥 형상인 것을 특징으로 하는 적층형 세라믹 커플러.

【청구항 4】

제 1 항에 있어서,

상기 제1 내지 제4 오목홈은 단면이 반원인 반원기둥 형상인 것을 특징으로 하는 적층형 세라믹 커플러.

【청구항 5】

제 1 항에 있어서,

상기 제1 내지 제4오목홈과 제1 내지 제4포트의 제1전극부들은 상기 세라믹블록을 형성하는 다수 세라믹시트의 설정된 다수 위치에 각각 오목홈을 형성하고, 상기 오목홈에 도전성 물질을 충전시킨 후, 다수 세라믹시트를 적층하여 이루어진 것을 특징으로 하는 적층형 세라믹 커플러.

【청구항 6】

제 1 항에 있어서,

상기 제1 내지 제4오목홈과 제1 내지 제4 포트의 제1전극부는 다수의 세라믹시트를 적층하여 세라믹블록을 형성한 후, 상기 세라믹블록의 하나 이상의 면에 제1 내지 제4 오목홈을 동시에 가공하고, 상기 제1 내지 제4 오목홈에 도전성 물질을 충전시켜 형성하는 것을 특징으로 하는 적층형 세라믹 커플러.

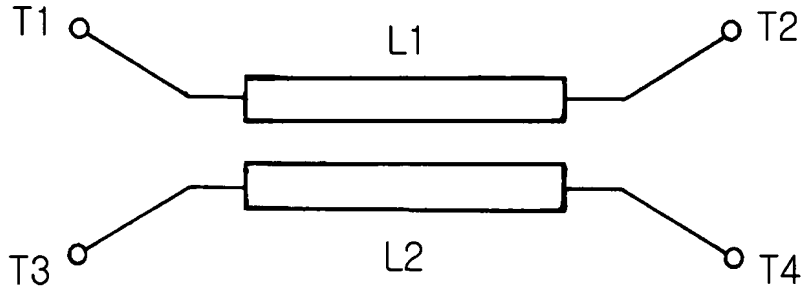
【청구항 7】

제 2 항에 있어서,

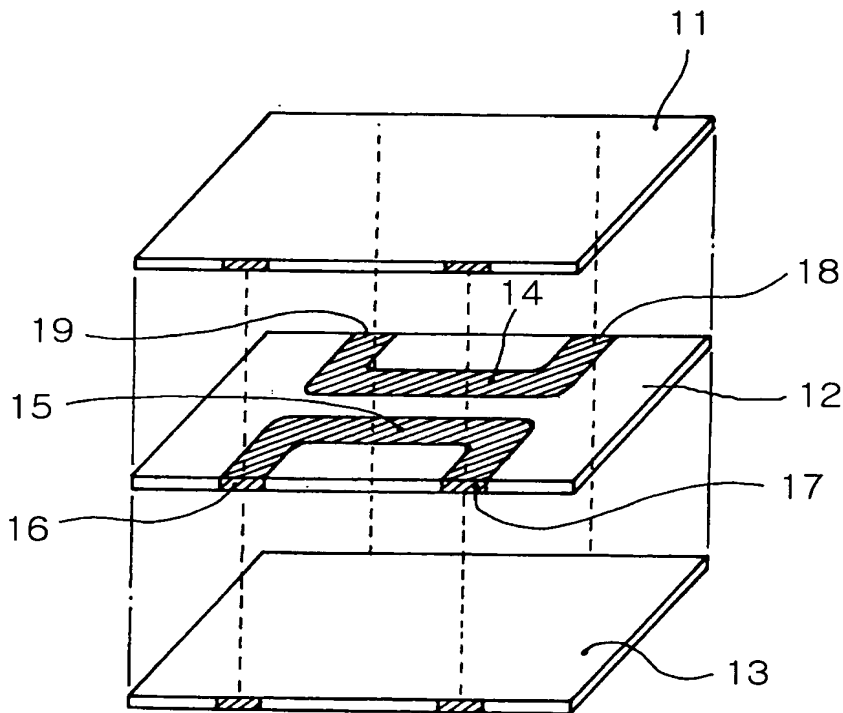
상기 제1 ~ 제6 도전성패턴은 1턴 이상 회전하는 나선형으로 이루어지는 것을 특징으로 하는 적층형 세라믹 커패시터.

【도면】

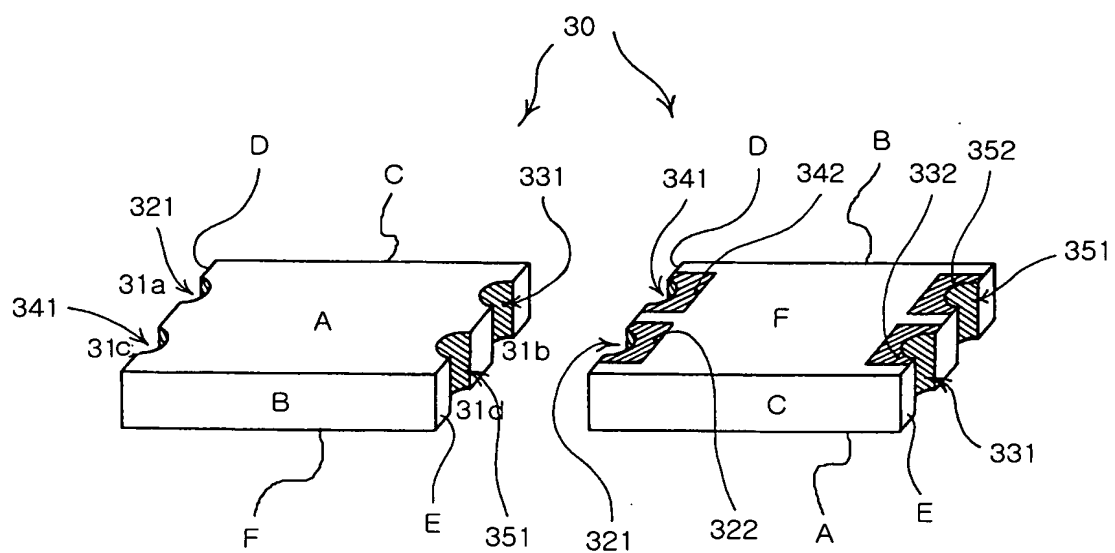
【도 1】



【도 2】



【도 3】



【도 4】

